

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/004220

International filing date: 10 March 2005 (10.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-069077
Filing date: 11 March 2004 (11.03.2004)

Date of receipt at the International Bureau: 02 June 2005 (02.06.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 3 月 1 1 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 0 6 9 0 7 7

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
J P 2 0 0 4 - 0 6 9 0 7 7
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

出 願 人
Applicant(s): ローム株式会社

2 0 0 5 年 5 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



| | |
|-----------|--------------------------------|
| 【書類名】 | 特許願 |
| 【整理番号】 | PR03-00395 |
| 【提出日】 | 平成16年 3月11日 |
| 【あて先】 | 特許庁長官殿 |
| 【国際特許分類】 | H02P 08/00 |
| 【発明者】 | |
| 【住所又は居所】 | 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 |
| 【氏名】 | 蛇見尚也 |
| 【特許出願人】 | |
| 【識別番号】 | 000116024 |
| 【住所又は居所】 | 京都府京都市右京区西院溝崎町 2 1 番地 |
| 【氏名又は名称】 | ローム株式会社 |
| 【代表者】 | 佐藤 研一郎 |
| 【電話番号】 | 075-311-2121 |
| 【連絡先】 | 知的財産部（内線 2 0 6 1 ～ 2 0 6 6 ） |
| 【手数料の表示】 | |
| 【予納台帳番号】 | 032229 |
| 【納付金額】 | 21,000円 |
| 【提出物件の目録】 | |
| 【物件名】 | 特許請求の範囲 1 |
| 【物件名】 | 明細書 1 |
| 【物件名】 | 図面 1 |
| 【物件名】 | 要約書 1 |

【書類名】 特許請求の範囲

【請求項 1】

モータを駆動するために最終出力段に直列に接続された第一のNMOSと第二のNMOSとを駆動し、前記第一のNMOSのソースと第二のNMOSのドレインとの共通接続点を最終出力とするモータ駆動回路において、

互いのドレインの共通接続点が前記第一のNMOSのゲートに接続された第一のPMOSと第三のNMOSと、

互いのドレインの共通接続点が前記第三のNMOSのゲートに接続された第二のPMOSと第四のNMOSと、

最終出力がローになるとき、前記第三のNMOSのゲート容量を充電するためにオンし、前記第三のNMOSのゲート容量が充電されるとオフする、ドレインが前記第三のNMOSのゲートに接続された一以上のPMOSと、

最終出力がハイになるとき、前記第三のNMOSのゲート容量を放電するためにオンし、前記第三のNMOSのゲート容量が放電されるとオフする、ドレインが前記第三のNMOSのゲートに接続された一以上のNMOSとを備え、

前記第一のNMOSのゲートがクランプ回路を介して最終出力に接続され、

前記第三のNMOSのソースと、クランプ回路を介した前記第三のNMOSのゲートとが最終出力に接続されたことを特徴とするモータ駆動回路。

【請求項 2】

前記クランプ回路がツェナーダイオードである請求項 1 記載のモータ駆動回路。

【請求項 3】

前記第一のNMOSと、前記第二のNMOSと、を備えることを特徴とする請求項 1 または請求項 2 のいずれかに記載のモータ駆動回路。

【請求項 4】

請求項 1 ないし請求項 3 記載のいずれかのモータ駆動回路を備えることを特徴とする半導体装置。

【請求項 5】

請求項 4 記載の半導体装置と、前記半導体装置によって駆動されるコイルを備えたモータと、を備えることを特徴とするモータ装置。

【書類名】 明細書

【発明の名称】 モータ駆動回路

【技術分野】

【０００１】

本発明は、モータのドライバとして用いられるトランジスタを低消費電力でかつ高速に駆動することができるモータ駆動回路に係るものである。

【背景技術】

【０００２】

図４に従来のモータ駆動回路を示す。本モータ駆動回路の最終出力段に設けられたトランジスタNMOS101とNMOS102からの出力には負荷としてのコイルが結線されており、そのコイルに流す電流を制御することによってモータ（図示せず）の制御を行う。同図に示すモータ駆動回路の構成について説明する。NMOS101とNMOS102は最終出力段に設けられたドライバであり、NMOS101のソースとNMOS102のドレインとの共通接続点が最終出力となる。NMOS101のドレインには電源電圧107が、NMOS101のゲートにはPMOS103とNMOS104とのドレインの共通接続点からの出力が接続されており、NMOS102のゲートにはロジック回路112が、PMOS103のゲートにはロジック回路110がそれぞれ接続されている。クランプ回路であるツェナーダイオード108、109は、それぞれに逆方向飽和電流が流れ出すまではNMOS101のゲートとソース間の電位差（ V_{gs} ）とNMOS104のゲートとソース間の電位を確保するためにも用いられるとともに、NMOS101とNMOS104の V_{gs} への過電圧を防止するためのものである。PMOS105のゲートはロジック回路111に、NMOS106のゲート電圧はロジック回路113に接続されており、ロジック回路110、111、112、113からの入力電圧の状態により最終出力が決定される。

【０００３】

次に同図に示す従来のモータ駆動回路の動作を図５に示す従来のモータ駆動回路の電圧波形図とともに説明する。なお図５の波形図は上から最終出力のロー・ハイ、NMOS101、NMOS102、PMOS103、NMOS104、PMOS105、NMOS106のゲート電圧を示している（すなわち、NMOSのゲート電圧が高いときはNMOSはオンの状態となる）。図５に示す（Ａ）の区間は最終出力がハイである。つまり最終出力段を構成するドライバであるNMOS101はオン、NMOS102はオフの状態である。NMOS101がオンの状態であるためPMOS103とNMOS104のドレインの共通接続点からの出力はハイであるためPMOS103がオンの状態であり、NMOS104はオフの状態である。つまりPMOS103とNMOS104のゲート電圧はローである。NMOS104がオフの状態であるためPMOS105はオンの状態であり、NMOS106はオフの状態である。また図５に示す（Ｂ）の区間は最終出力がローになっているが、（Ａ）の区間に比較して、NMOS101、NMOS102、PMOS103、NMOS104、PMOS105、NMOS106のトランジスタの状態と、それぞれのトランジスタのゲートへの入力電圧の状態は最終出力がハイであるときと比較して全て反転した状態となる。

【０００４】

最終出力がツェナーダイオード108を介してNMOS101のゲートへ、またNMOS104のソースと、ツェナーダイオード109を介してNMOS104のゲートへと出力帰還を行っているのは、NMOS101、NMOS104のソースを基準にしてNMOS101のゲート電圧を制御するためである。これにより最終出力が異常状態であることをモータ駆動回路に使用するトランジスタに検知させることができ、あるいはクランプ回路とともに用いることでモータ駆動回路に使用する素子を高耐圧設計にする必要がなくなる。

【０００５】

上記で説明したが、NMOS101とNMOS102との共通接続点からの最終出力のハイからローへの切替にはNMOS104のオフからオンへの切替が必要であり、最終出力

のローからハイへの切り替えにはNMOS104のオンからオフへの切り替えが必要である。従って入力を最終出力に素早く反映させるためにはNMOS104のオン、オフの切り替え、つまりNMOS104のゲート容量および寄生容量を高速で充電し、あるいは放電することがひとつの条件である。

【0006】

ここで、 $Q = IT$ （ Q ：電荷量， I ：電流， T ：時間）より、MOSトランジスタのゲート容量・寄生容量の電荷の充電はMOSトランジスタのゲートへの電流量を大きくすることにより短時間で可能となる。そのためにはNMOS104のゲートに接続されたPMOS105のドレインからの電流量を大きくすればNMOS104のゲート容量及び寄生容量への充電速度が向上し、NMOS104のゲートに接続されたNMOS106のドレインのドレイン電流を大きくすることで、NMOS104のゲート容量及び寄生容量の放電速度が向上する。そのため飽和状態におけるMOSトランジスタの電流方程式 $I_{ds} = K(V_{gs} - V_{th})^2$ （ K ：定数， V_{th} ：PMOSのスレショルド電圧）より、PMOS105のドレイン電流を大きくするためには V_{gs} を大きくすれば良いが、ソースに接続されている電源電圧115を大きくするのは低消費電力での駆動が望まれる今日においては好ましくない。なお、上式において K はトランジスタを構成するゲート幅に比例する定数であるからゲート幅を大きくすることでも電流量を大きくすることが可能である。そしてオームの法則より $I = R/V$ であることからPMOS105のソースに接続された抵抗114の抵抗値を小さくすることでもPMOS105のドレインからの電流を増やすことができる。

【発明の開示】

【発明が解決しようとする課題】

【0007】

ここで、出力がローである場合はNMOS104のゲート容量と寄生容量をPMOS105のドレイン電流によって充電してNMOS104をオンの状態に保つ必要があるが、NMOS104を高速に駆動するためPMOS105のトランジスタのサイズ（ W/L 比）を変更するか、PMOS105のソース側の抵抗114を変更し、PMOS105のドレイン電流を大きくすると、NMOS104をオンの状態に保つ際にツェナーダイオード回路109の逆方向飽和電流量が大きくなり、最終出力段を出力方向に流れる電流が発生するため消費電力が大きくなる。また電源電圧115とPMOS105のゲート電圧の入力信号を大きくしてもNMOS104の高速駆動を実現することができるが、やはり消費電力を考慮すると好ましくない。PMOS105のドレイン電流が小さくなればツェナーダイオード109に逆方向飽和電流は小さく低消費電力を実現するものの、NMOS104を高速で駆動することができず、さらには最終出力段を構成するNMOSトランジスタ101，102が入力に対する遅延により同時にオンして貫通電流が流れて消費電力が大きくなるとともに素子の破壊にまで繋がる恐れがある。

【0008】

本発明は従来の前記実情に鑑み、従来の技術に内在する欠点を解消する為になされたものであり、従って本発明の第一の目的は消費電力が少なくかつ高速に動作するモータ駆動回路を提供することであり、第二の目的は前述のモータ駆動回路を備えた半導体装置を提供することであり、第三の目的は前述の半導体装置と、前記半導体装置により制御されるコイル、前記コイルに発生した磁界により回転子の回転数が定められるモータと、を備えたことを特徴とするモータ装置の提供である。

【課題を解決するための手段】

【0009】

前記第一の目的は、モータを駆動するために最終出力段に直列に接続された第一のNMOSと第二のNMOSとを駆動し、前記第一のNMOSのソースと第二のNMOSのドレインとの共通接続点を最終出力とするモータ駆動回路において、互いのドレインの共通接続点が前記第一のNMOSのゲートに接続された第一のPMOS

と第三のNMOSと、
互いのドレインの共通接続点が前記第三のNMOSのゲートに接続された第二のPMOSと第四のNMOSと、
最終出力がローになるとき、前記第三のNMOSのゲート容量を充電するためにオンし、前記第三のNMOSのゲート容量が充電されるとオフする、ドレインが前記第三のNMOSのゲートに接続された一以上のPMOSと、
最終出力がハイになるとき、前記第三のNMOSのゲート容量を放電するためにオンし、前記第三のNMOSのゲート容量が放電されるとオフする、ドレインが前記第三のNMOSのゲートに接続された一以上のNMOSとを備え、
前記第一のNMOSのゲートがクランプ回路を介して最終出力に接続され、
前記第三のNMOSのソースと、クランプ回路を介した前記第三のNMOSのゲートとが最終出力に接続されたことを特徴とするモータ駆動回路によって達成される。この構成によるとスイッチング速度を速めることができるとともに、低消費電力を実現できる。

【0010】

前記第一の目的は、請求項2記載の発明である、前記クランプ回路がツェナーダイオードである請求項1記載のモータ駆動回路によっても達成される。ツェナーダイオードはその降伏現象を利用することでクランプ回路に適している。

【0011】

前記第一の目的は、請求項3記載の発明である、前記第一のNMOSと、前記第二のNMOSと、を備えることを特徴とする請求項1または請求項2のいずれかに記載のモータ駆動回路によっても達成される。

【0012】

前記第二の目的は、請求項4記載の発明である、請求項1ないし請求項3記載のいずれかのモータ駆動回路を備えることを特徴とする半導体装置によって達成される。最終出力段に設けられるNMOSは、その最終出力段のNMOSを駆動する回路部分とは別個に、あるいは同一の半導体装置に設けられる。最終出力段のNMOSには大きな電流を流すことが一般的であるため、最終出力段のNMOSを駆動する回路部分を外部に設けることで最終出力段のNMOSに過電流が流れたとしても、最終出力段のNMOSを駆動する回路部分はその影響を受けにくくなる。

【0013】

前記第三の目的は、請求項5記載の発明である、請求項4記載の半導体装置と、前記半導体装置によって駆動されるコイルを備えたモータと、を備えることを特徴とするモータ装置によって達成される。

【発明の効果】

【0014】

消費電力が少なく高速な動作が可能であり、最終出力段を構成するトランジスタに貫通電流が流れることがなく、その構成に用いられる素子を破壊する恐れがないモータ駆動回路を実現できる。

【発明を実施するための最良の形態】

【0015】

以下、本願発明を実施するための最良な形態について説明する。図1は本発明に係るモータ駆動回路である。本モータ駆動回路の最終出力に設けられたNMOS1とNMOS2からの出力には負荷であるコイルが結線されており、そのコイルに流す電流を制御することによってモータ（図示せず）の制御を行う。最終出力には、ほぼNMOS1のドレインに接続された電源電圧 V_{DD} の電位からNMOS2のソースに接続されたグラウンドのゼロ電位の範囲が出力される。

【0016】

図1に示す本発明に係るモータ駆動回路は図5に示す従来のモータ駆動回路と比較して、最終出力段を構成する直列に接続されたNMOS1（図4ではNMOS101に相当）のドレインに、ドレインが接続されたNMOS4（図4ではNMOS104に相当）のゲート

ト容量と寄生容量を充放電するための手段（図4ではPMOS105が充電手段、NMOS106が放電手段）がそれぞれ複数設けられている。以下、本発明に係るモータ駆動回路の構成について説明する。

【0017】

同図において最終出力段はNMOS1とNMOS2から構成されており、NMOS1のソースとNMOS2のドレインとの共通接続点が最終出力になっている。NMOS1のゲートにはPMOS3のドレインとNMOS4のドレインとの共通接続点が接続されており、NMOS2のゲートにはロジック回路12が接続されており、PMOS3のゲートにはロジック回路10が接続されている。クランプ回路8aはNMOS1の V_{gs} が一定以上大きくなるのを防止するための保護回路であり、ツェナーダイオードやダイオードが用いられる。クランプ回路9aも同様の目的でNMOS4のゲート・ソース間に設けられている。NMOS4のゲートにはPMOS5aとPMOS5bとのドレインの共通接続点と、NMOS6aとNMOS6bとのドレインの共通接続点が接続されており、NMOS4のゲート容量と寄生容量はPMOS5aとPMOS5bとのドレイン電流によって充電され、NMOS6aとNMOS6bとのドレイン電流によって放電される。なお、PMOS5aのゲートにはロジック回路11aが、PMOS5aのソースには抵抗14aを介して電源電圧15が、PMOS5bのゲートにはロジック回路11bが、PMOS5bのソースには抵抗14bを介して電源電圧15が、NMOS6aのゲートにはロジック回路13aが、NMOS6bのゲートにはロジック回路13bが接続されており、NMOS6a、6bのソースはそれぞれ接地されている。

【0018】

最終出力がクランプ回路8aを介してNMOS1のゲートへ、またNMOS4のソースとクランプ回路9aを介してNMOS4のゲートへと出力帰還を行っているのは、NMOS1、NMOS4のソース電位を基準にしてNMOS1のゲート電圧を制御するためである。これにより最終出力が異常状態であることをモータ駆動回路に使用するトランジスタに検知させることができ、あるいはクランプ回路とともに用いることでモータ駆動回路に使用する素子に耐圧を超えた電圧がかかるのを防止することができる。

【0019】

以下、図1に示す本発明に係るモータ駆動回路についての動作を図2に示す本発明に係るモータ駆動回路の電圧波形図を用いて説明する。なお図2の波形図は上から最終出力のローハイレベルの状態と、NMOS1、NMOS2、PMOS3、NMOS4、PMOS5a、PMOS5b、NMOS6a、NMOS6bについてのゲート電圧を示している（すなわち、NMOSのゲート電圧が高いときはNMOSはオンの状態となる）。図2に示す（A₁）の区間は最終出力がハイになっており、（B）に示す区間との切り替わる直前の瞬間、すなわち最終出力がハイからローへ切り替わる直前の区間を除いて最終出力段を構成するドライバであるNMOS1はオンの状態である。一方でNMOS2は同区間において常にオフの状態である。NMOS1がオンの状態であるときはPMOS3とNMOS4のドレインの共通接続点からの出力はハイであるためPMOS3はオン、NMOS4はオフの状態である。NMOS4がオフの状態であるときはPMOS5aとPMOS5bはオフの状態である。一方、NMOS4の放電手段であるNMOS6aとNMOS6bだが、区間（A₁）から区間（B）への切り替わりの直前の区間を除いては、NMOS6aはオンの状態であり、NMOS6bは常にオフの状態である。すなわち最終出力をハイで維持するため、すなわちNMOS4をオフの状態で維持するためのゲート容量と寄生容量の放電をNMOS6aのみで行っていることになる。NMOS6bの動作については後述している。

【0020】

同図に示す（A₁）から（B）へ切り替わる直前の瞬間、すなわち最終出力がハイからローへ切り替わる直前の瞬間はNMOS6aがオフになるとともにPMOS5aとPMOS5bがオンの状態になる。NMOS4のゲート容量と寄生容量の充電を2つの充電手段で行い、ゲート容量と寄生容量が充電された後は最終出力をローで維持するためのNMOS4のオン状態での維持はPMOS5aのドレインからの電圧のみで行い、PMOS5bは

オフの状態となる。ここでNMOS 4をオン状態で維持するためのNMOS 4の V_{gs} を確保するためにPMOS 5aのドレイン電流は、クランプ回路9に逆方向電流が発生するスレショルドを少し超える大きさであることが望ましい。またNMOS 4のゲート容量と寄生容量を充電するときだけオンするPMOS 5bのドレインからのドレイン電流は抵抗14bと電源電圧15等の要因によって決定される。また同図においてNMOS 4のオフからオンへの切り替わりとともにPMOS 3もオンからオフの状態に切り替わっている。これによりNMOS 1のゲート電圧が決定される。NMOS 2はNMOS 1との貫通電流を発生させないため、NMOS 1のオンからオフへの切り替わりのタイミングに少し遅延をもたせている。そしてNMOS 2のオフからオンへの切り替わりと同時に最終出がローになる。

【0021】

図2に示す(B)の区間は最終出力がローになっており、NMOS 1はオフ、NMOS 2は(A₂)に切り替わる直前の区間を除いてはオンの状態になっている。(B)に示す区間においてNMOS 1は常にオフの状態であるからPMOS 3とNMOS 4からの出力はローであり、PMOS 3はオフ、NMOS 4はオンの状態である。NMOS 4がオンの状態であることからNMOS 4のゲート容量と寄生容量の充電手段は起動しているのだが、先述したとおりNMOS 4がオンになったあとはPMOS 5aのみによってNMOS 4の V_{gs} が確保されるためPMOS 5aのみがオンの状態である。NMOS 2は電源電圧7とNMOS 1とで貫通電流を発生させないように後述するNMOS 1の動作に比較して早いタイミングでオフの状態となる。

【0022】

(B)の区間から(A₂)の区間への切り替わるとき、すなわち最終出力がローからハイに切り替わるときは、NMOS 1はオンとなることからPMOS 3はオン、NMOS 4はオフの状態である。そのためNMOS 4のゲート容量と寄生容量を放電する放電手段が起動している。このとき最終出力を高速に動作させるためにはNMOS 4のゲート容量と寄生容量を瞬時に放電する必要があるため、NMOS 6aとNMOS 6bの二つの放電手段が起動してNMOS 4の寄生容量を放電した後は、NMOS 6bは停止している。この放電手段の制御のためのゲート電圧への電圧の印加によってはNMOS 4のゲートとソース間の漏れ電流以外に電力を消費する要因はほぼないために最終出力の出力方向への電流の発生を抑止して消費電力の低減につながるものではないが、ゲート電圧の印加手段を複数設けることでNMOS 4のゲート容量と寄生容量の高速な放電を実現している。これは低電圧駆動を実現するために電源電圧15が十分大きな電源でないとき、あるいはロジック回路13a、13bからのNMOS 6a、6bのゲート電圧が大きくとれないときに特に有効である。

【0023】

従来のモータ駆動回路では高速性を確保するための消費電力の増大か、あるいは消費電力を下げるために高速性を犠牲にするかの択一的な選択をせざるを得なかったが、本発明に係るモータ駆動回路は入力に対する出力の高速性を確保するとともに、低消費電力を実現するものである。

【0024】

最終出力段がNMOSのみで構成されているモータ駆動回路については最終出力段に設けられた電源側のNMOSのソースを基準にして最終出力段に設けられたNMOSのゲートの電圧駆動を行うため、最終出力をモータ駆動回路に反映する必要がある。このような場合には最終出力段に設けられる電源側のNMOSの放電を行うためのNMOSのソースに最終出力が接続されるので、最終出力段に設けられた電源側のNMOSをオフの状態にするためのNMOSのゲート電圧を保持し続けるために最終出力段のグランド側のNMOSのドレイン電流や、最終出力の出力方向に電流が発生し続けてしまうのである。なお、先に述べたPMOS 5bやNMOS 6bのような、一定期間だけ起動する充電手段、あるいは放電手段は複数あっても良い。

【0025】

本発明に係る発明の第二の実施例を図 3 に示す。図 3 は図 1 に示す本発明に係るモータ駆動回路のクランプ回路にツェナーダイオードを用いるとともに放電手段を変形したものである。正確には図 1 に示す本発明にかかわるモータ駆動回路と比較して NMOS 6 b とロジック回路 13 b を取り除き、NMOS 6 とミラー結合された NMOS 16 と、NMOS 6 と NMOS 16 とのゲートに接続される PMOS 18 a, 18 b と、ロジック回路 19 a, 18 b と、抵抗 20 a, 20 b とが設けられている。クランプ回路にツェナーダイオードを用いるのは、ツェナーダイオードの逆方向降伏電圧の特性がクランプ回路に望ましい性質を持つからである。NMOS 4 のゲート容量と寄生容量の充電手段は PMOS のドレイン電流の経路はひとつだけであり、NMOS 4 のゲート容量と寄生容量の放電手段としてミラー結合された NMOS のゲート電圧を 3 段階のレベルでの調整を行うものである。なお、同図に示す番号と、図 1 に示す番号に対応する構成要素には同一の番号を付している。

【0026】

図 3 に示す本発明にかかわるモータ駆動回路の第二の実施例を使用することで、発明者は図 4 に示すモータ駆動回路と比較して入力に対する出力の時間変化が 1 μ 秒から約 0.4 μ 秒への短縮と、最終出力をローで維持するための最終出力からの出力方向への電流が 0.7 mA から 0.3 mA に低減に成功し、スイッチング動作の高速化と低消費電力化を実現した。

【0027】

また図示しないが、本発明のモータ駆動回路を備えた半導体装置と、該半導体装置によって駆動されるコイルを備えたモータと、からなるモータ装置は、従来と比較してモータ駆動回路を備えた半導体装置への制御信号がモータ装置の出力としての所望の回転数に素早く反映されるため、前記モータ装置を備えたプリンタ等の電子機器は良好な動作状態を示す。

【0028】

本願発明は上述した実施形態に限られることなく、特許請求の範囲に記載した事項の範囲内でのあらゆる設計変更はすべて本願発明の範囲に含まれる。

【図面の簡単な説明】

【0029】

【図 1】 本発明に係るモータ駆動回路の回路図（実施の形態 1）

【図 2】 本発明に係るモータの駆動回路の電圧変動図

【図 3】 本発明に係るモータ駆動回路の実施の形態 2（実施の形態 2）

【図 4】 従来のモータ駆動回路の回路図

【図 5】 従来のモータ駆動回路の電圧変動図

【符号の説明】

【0030】

1, 2, 4, 6, 6 a, 6 b, 16・・・NMOS

3, 5 a, 5 b, 18 a, 18 b, 20 a, 20 b・・・PMOS

7, 15, 21・・・電源電圧

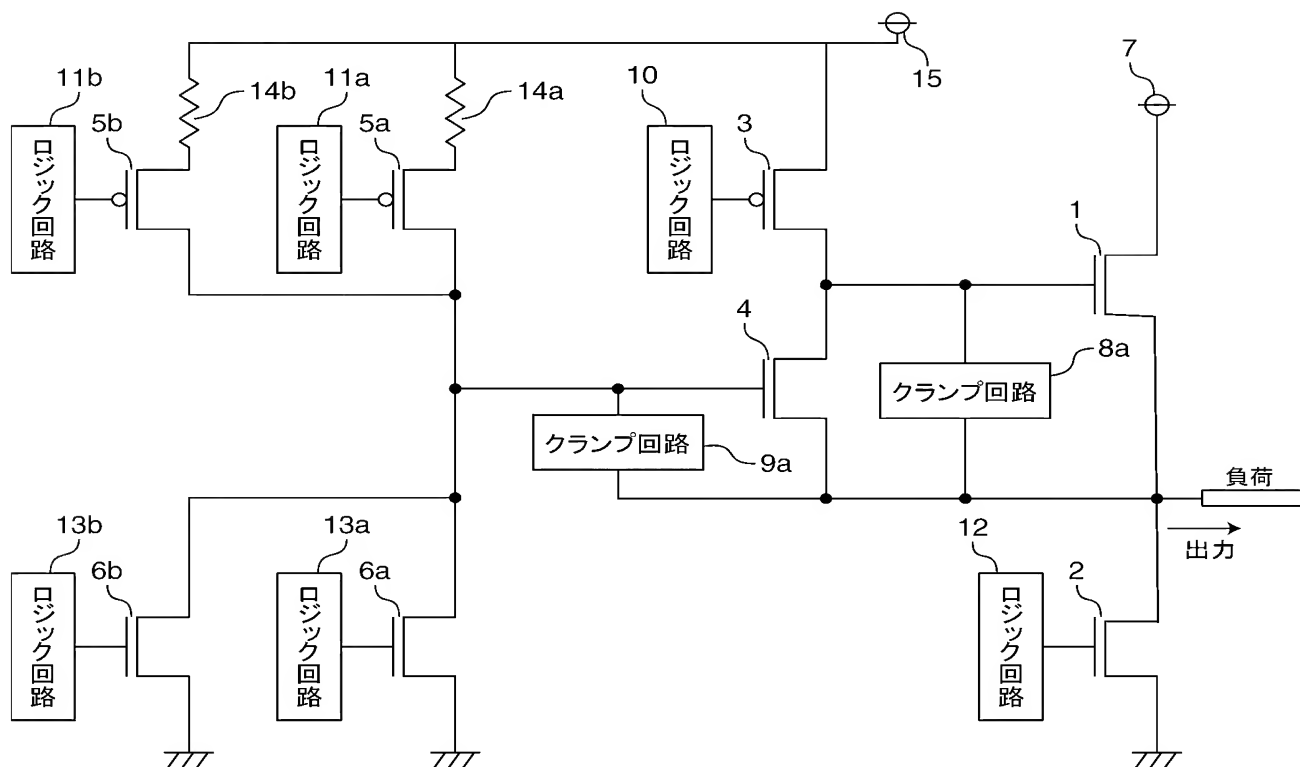
8 a, 9 a・・・クランプ回路

8 b, 9 b・・・ツェナーダイオード

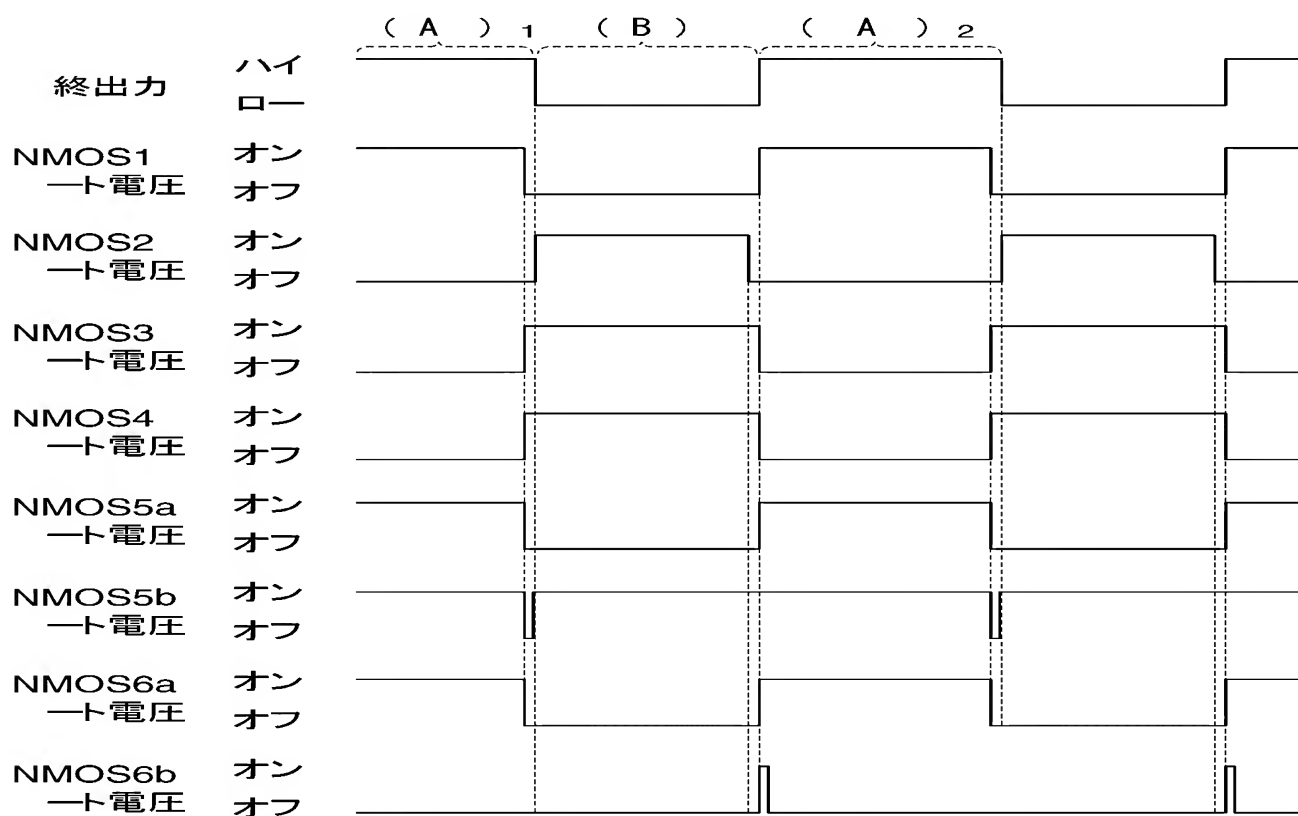
14 a, 14 b, 20 a, 20 b・・・抵抗

【書類名】 図面

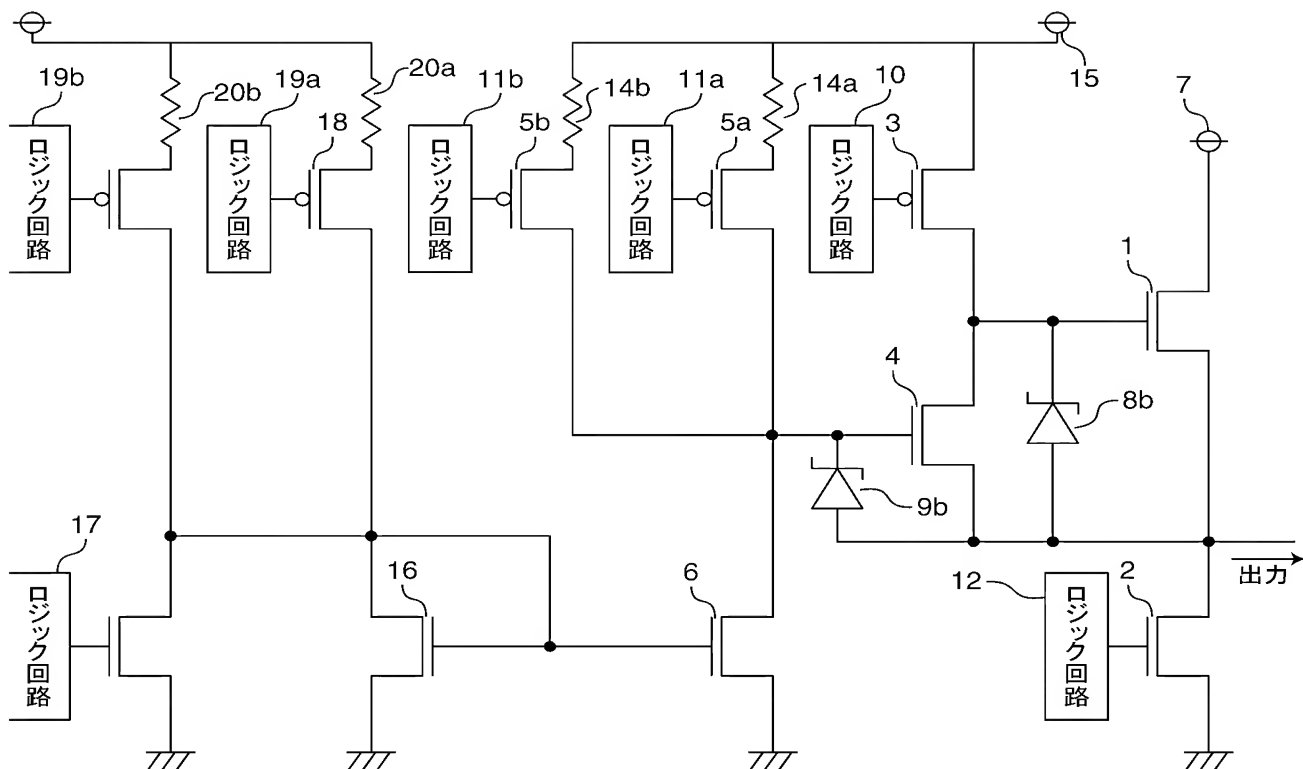
【図 1】



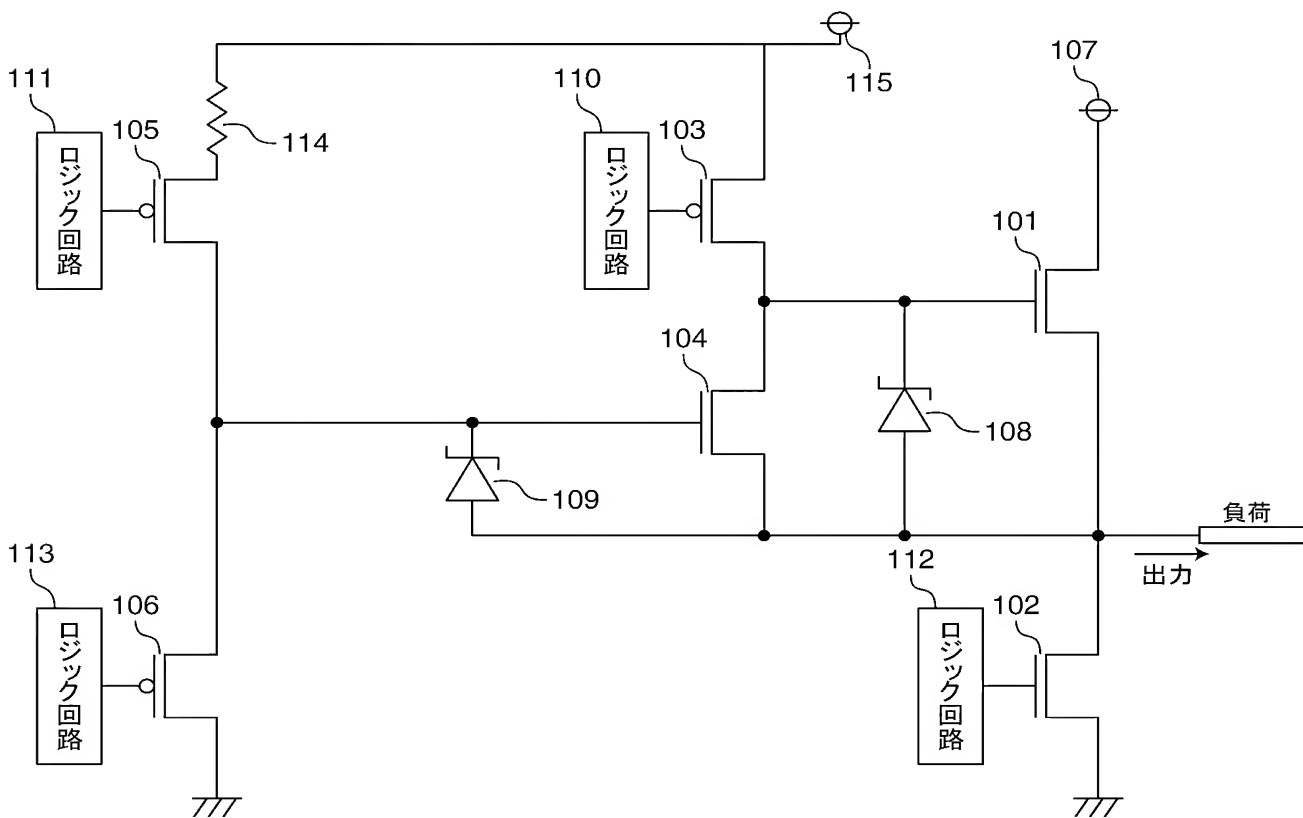
【図 2】



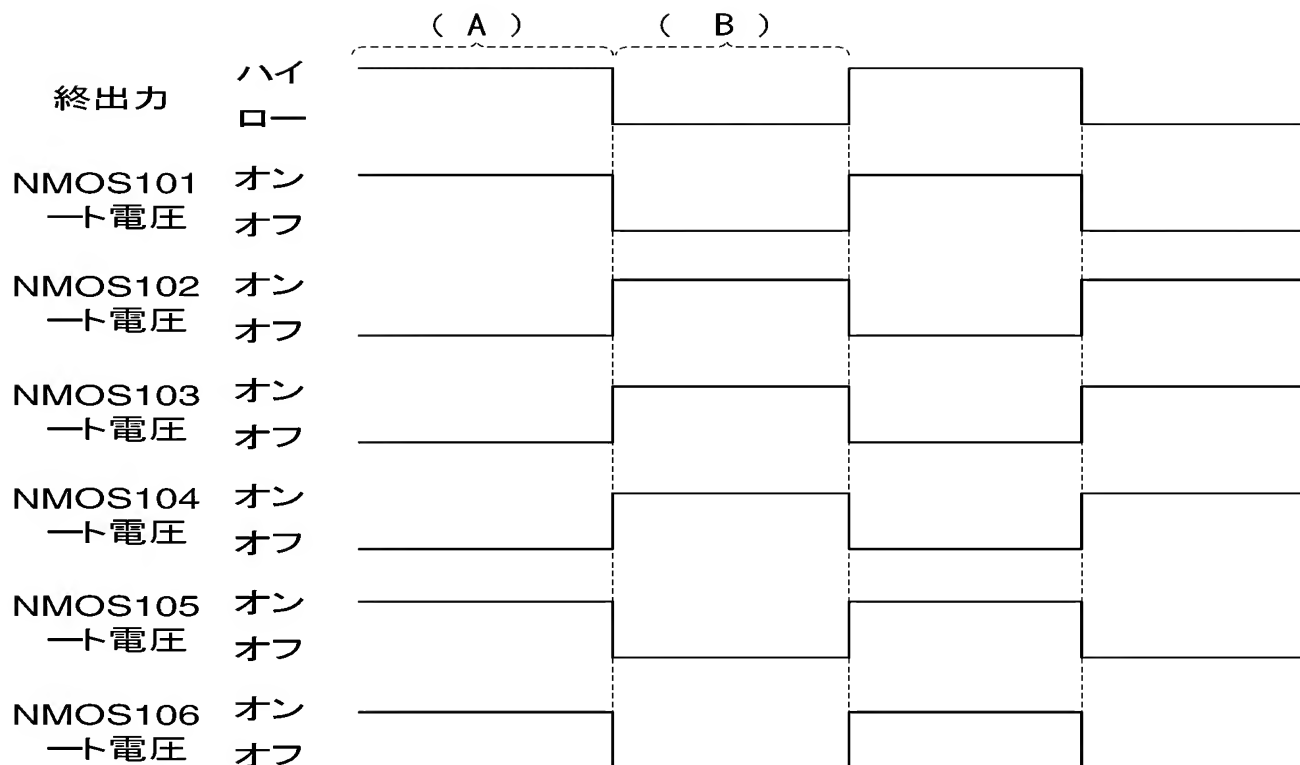
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【課題】

【解決手段】

【選択図】 図 1

出願人履歴

0 0 0 1 1 6 0 2 4

19900822

新規登録

京都府京都市右京区西院溝崎町 2 1 番地
ローム株式会社